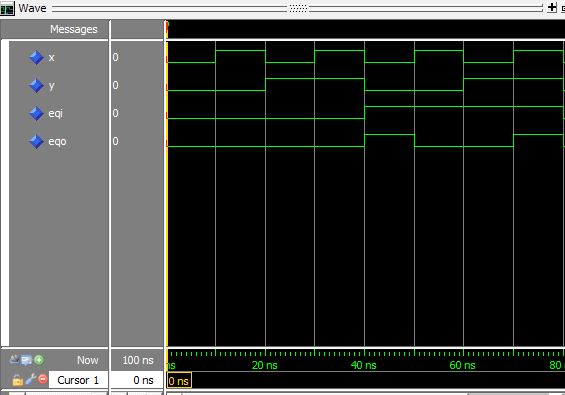
**Lab 01 Combinational Logic, VHDL simulation, and Test Bench**

**1 1-Bit comparator**

* 1. **1-bit comparator truth table**

|  |  |  |  |
| --- | --- | --- | --- |
| X | Y | Eqi | Eqo |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 |

* Eqo = eqi( x.y + x.y)
  1. **Simulation of 1-bit comparator with the above truth table**
* Modelsim: comparator2.vhd, comparator2\_tb.vhd
* Result:



* Explanation: Kết quả của mô phỏng đúng với yêu cầu của đề bài: eqo = 0 khi eqi =1; Với eqi =1: eqo=0 khi x=0 & y=1, x=1 &y=0; eqo=1 khi x=0& y=0, x=1 & y=1;
  1. **1-bit comparator with tructural description**
* Transfer:

Eqo = eqi( x.y + x.y)

x = nx

y = ny

x.y = x + y = n

x.y = nx.ny = nx + ny = m

m = nm

n = nn

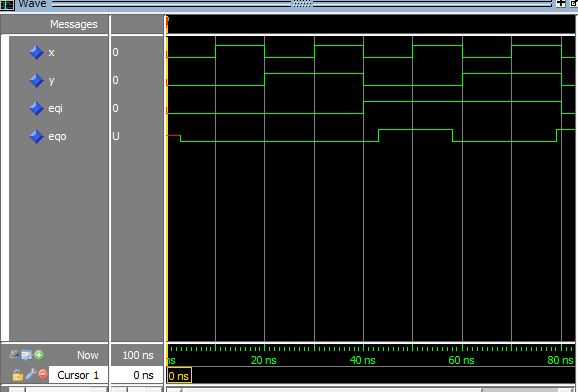
m + n = nm + nn = nm.nn = k

eqi = neqi

k = nk

eqo = eqi.k = neqi . nk = neqi + nk

* Modelsim : comparator.vhd, comparator\_tb.vhd
* Result:

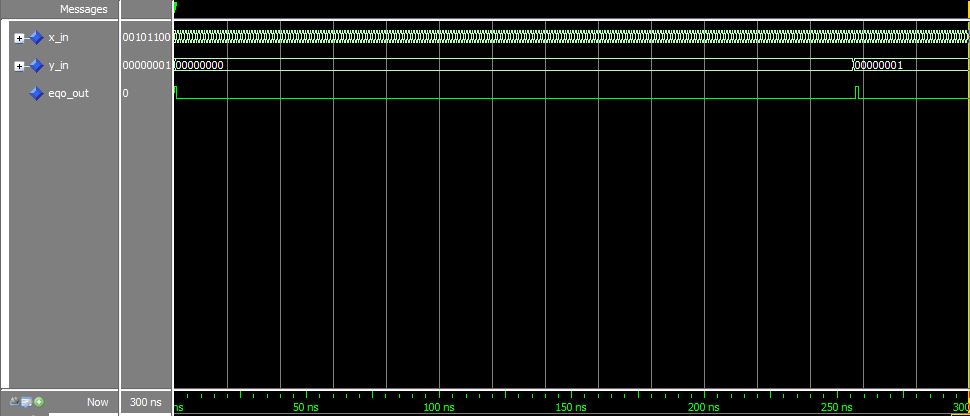


* Explain: kết quả của mô phỏng 1.3 không giống của 1.2 vì: 3 cổng NAND, NOR, INV có độ trễ khi trả về kết quả nên kết quả eqo sẽ bị trễ so với kết quả đúng của nó.

1. **Comparator vith variable size of inputs**

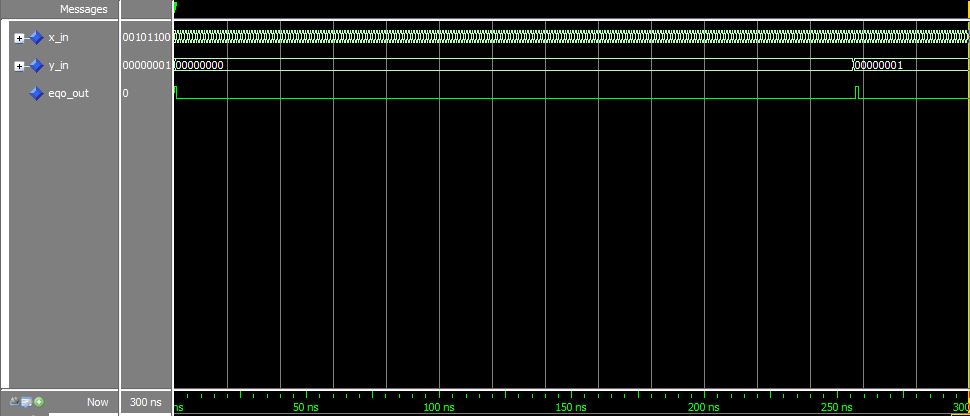
**2.1 Modeling combinational logic using process statement**

* Modelsim: comparatorn.vhd, comparatorn\_tb.vhd
* Result:



**2.2 Generating iterative structure**

* Modelsim: comparatorn1.vhd, comparatorn1\_tb.vhd
* Result:



* Explain: kết quả của 2.1 và 2.2 giống nhau.

1. **7-Segment encoder**

* Truth table:

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Data\_in | | | | Segments\_out | | | | | | | Sô thập phân |
| 3 | 2 | 1 | 0 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| W | Z | Y | X | g | f | e | d | c | b | a |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 2 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 3 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 4 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 5 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 6 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 7 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 8 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 9 |

* Logic function

a = w + y + (z + x)

b = z + (y + x)

c = z + y + x

d = y.x + z.x + z.y + z.y.x

e = y.x + z.x

f = w + z.y + z.x + y.x

g = w + (z + y) + y.x

* Modelsim: encoder.vhd, encoder\_tb.vhd
* Modelsim : encoder1.vhd, encoder1\_tb.vhd

